

PATENT ABSTRACTS OF JAPAN

09/230361

(11) Publication number : 07-263619
(43) Date of publication of application : 13.10.1995

(51) Int Cl. H01L 25/04
H01L 25/18

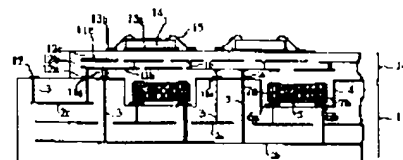
(21) Application number : 06-046615 (71) Applicant : TOSHIBA CORP
(22) Date of filing : 17.03.1994 (72) Inventor : ITO KENJI

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To cut down the wiring length from a power supply layer and a grounding layer to a chip capacitor for effectively abating the switching noise by a method wherein the chip capacitor is buried structured in a base substrate to be connected between a power supply layer and a grounding layer provided in a base substrate or thin film multilayer wiring part.

CONSTITUTION: A cavity 4 is formed on the surface of a base substrate 1 so as to contain a chip capacitor 5. Next, a terminal pad 6a and another terminal pad 6b are formed on the bottom part of the cavity 4 so as to respectively connect to the first and second terminal electrodes 7a and 7b. The terminal electrodes 7a, 7b are connected to terminal pads 6a, 6b by a wax material etc. In such a constitution, the chip capacitor 5 is almost directly connected to a grounding layer 2a and a power supply layer 2b so that the inductance of wiring may be reduced simultaneously giving notable effect on the noise abatement.



LEGAL STATUS

[Date of request for examination] 23.02.2000
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C): 1998,2000 Japanese Patent Office

(11)特許出願公開番号

特開平7-263619

(43)公開日 平成7年(1995)10月13日

技術表示箇所

2

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(71)出願人 000003078

神奈川県川崎市幸区堀川町72番地

(72) 発明者 伊藤 健志

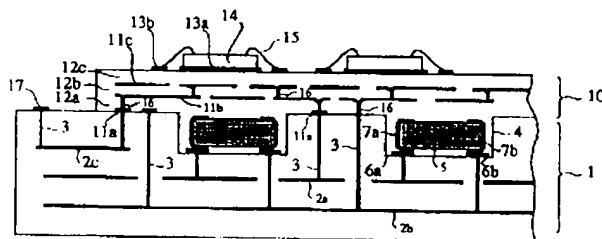
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 半導体装置

【要約】

【構成】ベース基板に薄膜多層配線部を設け、その上に半導体素子を搭載接続したマルチチップモジュール型の半導体装置において、チップキャパシタをベース基板に埋込込み、その上に薄膜多層配線部を形成し、このチップキャパシタをベース基板とし、薄膜多層配線部に設けた電源層と接地層と間に埋込する。

[illegible]

このように、多層配線基板の設計・製造工程は、設計工程と製造工程とに分けて考える必要がある。中間工程は設計する方から見て、設計工程で回路がLSIなどのチップ・パッケージ状態で多層配線基板上に実装し、パッチケーブルなどによって、以後MCMと呼ばれる工程における半導体要素となる。MCMは、用いる基板の種類によって、パッチケーブルに直接実装する基板とMCM-1、パッチケーブルを介して実装するMCM-2とに分けられ、パッチケーブルを介して実装するMCM-2は、通常

[illegible]

の方法が行われている。一つはセラミックのキャパシタをMCM基板の表面（薄膜多層配線部の表面）または裏面（ベース基板の裏面）に表面実装する方法であり、他の一つはMCM基板内部にデカップリングキャパシタを形成する方法である。前者において基板表面に搭載した場合、デカップリングキャパシタの分だけ面積を占有するため、デカップリングキャパシタを搭載すればするほど基板サイズが大きくなるという問題を生じる。また、一般的にチップキャパシタはLSIチップと比較して厚いため、ジェラール厚さが厚くなるという問題も生じる。

【0008】チップキャパシタをMCM基板裏面（ベース基板裏面）に設置する場合には、同じくMCM基板裏面に配線される放熱フィン（高熱動作するMCMは発熱も多大となるため放熱フィンが必須となる）を避けるために、LSI近傍には設置できない。そのためデカップリングキャパシタまでの電源または接地のインダクタンスが大きくなり、同時スイッチングノイズ低減効果が減少する。また、MCM基板裏面へのチップキャパシタ実装の工程が増加するとともに、チップキャパシタと放熱フィンの接続材料に温度差を及ぼす必要がある等工程が煩雑となる。

【0009】MCM基板内部にデカップリングキャパシタを形成する場合としては、セラミックベース基板製造の際キャパシタを同時に形成する方法があるが、コストの増加を招くうえ、誘電体及び電極の材料の制限により高容量のデカップリングキャパシタを実現できず、個別に製作したチップキャパシタを併用しなければならぬという問題がある。

【0010】

【発明が解決しようとする課題】本発明はこのような問題に鑑みてなされたもので、その目的とするところは、安価なキャパシタを最も効率の良い態様で実装し、基板サイズを増加させることなく同時スイッチングノイズを低減できるMCM型半導体装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置では、少なくとも内部に内層導体層を1層有するベース基板と、前記ベース基板の1主面に設けられる凹部と、この凹部には納められたチップキャパシタと、このチップキャパシタを含む凹部出口から凹部入口へ向けて延びる導体層とを有する薄膜とを備え、薄膜は薄膜多層配線部と、前記ベース基板の凹部に設けられ前記薄膜多層配線部の内部に設けられた電源層と、前記ベース基板の凹部として前記薄膜多層配線部の内部に設けられる内層導体層と、前記接地層と前記チップキャパシタの第1端子と電極とを接続する配線と、前記電源層の前記第1端子とチップキャパシタの第2端子とを接続する配線と、前記薄膜多層配線部の接続点とチップキャ

パシタとを具備することを特徴としている。

【0012】前記電源層と前記接地層はベース基板の内部に設けられていてもよく、薄膜多層配線部の内部に設けられていてもよい。あるいは一方がベース基板内部に、他方が薄膜多層配線部内部に設けられていてもよい。

【0013】またチップキャパシタは積層型のセラミックチップキャパシタを使用し、薄膜多層配線部は銅を主体とした導体層と、ポリイミドの絶縁層を交互に積層して形成している。

【0014】

【作用】チップキャパシタをベース基板に埋め込む構造としたため、その上に薄膜多層配線部を形成することができる。そしてこのチップキャパシタをベース基板もしくは薄膜多層配線部に設けられた電源層と接地層の間に接続しているため、電源層および接地層からチップキャパシタまでの配線長を短くすることができる。従って配線のインダクタンスを低減できるため、同時スイッチングノイズを効果的に減少することが可能となる。

【0015】また他の部品、例えばLSIチップ等を搭載位置の直下にも、チップキャパシタを配置できるため、MCM基板のサイズを減少することが可能となる。またチップキャパシタをベース基板に内蔵する形になるため、MCMとしての厚さを減少することもできる。

【0016】チップキャパシタとして個別に製作された積層型のセラミックチップキャパシタを使用するため、小型で充分な容量が得られるが安価である。また薄膜多層配線部は誘電率の低いポリイミドを絶縁層とし、導体抵抗の低い銅を導体層に用いているため配線容量を低くすることができる。同時スイッチングノイズを軽減することができる。

【0017】

【実施例】以下、図面に基いて本発明の実施例を詳細に説明する。図1、図2は本発明の第1の実施例に係わるMCMを示したもので、図1は一部断面図、図2は模式的な平面図である。図2のA-A線での断面図の内、左3分の2を示したものが図1に相当する。図にはおいて1はベース基板で、アルミナ（Al₂O₃）や窒化アルミ（AlN）を絶縁材料として同時焼成されたセラミック多層基板を用いている。即ちベース基板1には内層配線部とデカップリング層等を導体材料とする接地層2と電源層3と、更に外部接続端子17とに接続する導体配線部21とを有する。なお、この導体配線部21は銅を主体とする。3をベース基板1の凹部に導き込んでいる。なお層数には特に限られるわけではなく、後述の接地層、電源層等も存在しても良い。

【0018】またベース基板1の表面には凹部（AとBの間）11が設けられており、ここにはチップキャパシタ5が納められている。凹部11の底面にはチップキャパシタ5の第1端子と電源層7を接続する導体配線部16と、

a、第2の端子電極7bを接続するための端子パッド6bが形成されている。前記チップキヤパクタ5の端子電極7a、7bはろう材（図示せず）等により端子パッド6a、6bに接続されている。ベース基板1の表面とチップキヤパクタ5の表面には段差があり、凹部4とチップキヤパクタ5との間にも保護層があるので、薄膜多層配線部の保護層と同等の樹脂で充填し表面を平坦化してある。

【００１９】この様に形成されたソース基板１の表面に、薄膜多層配線部１０が形成されている。即ち、ソース基板１の表面に、導出された前記タイバッド１３の導出面には、Cuを主体とした薄膜第１導体層１１が電極パッド１１ａが形成され、薄膜多層配線部１０との接続部となる。この上に、シリコン窒化膜等の薄膜絶縁層１２ａを塗布し、さらにその上に信号層となる第２薄膜導体層１１ｂ、第２薄膜絶縁層１２ｂ、他の信号層となる第３薄膜導体層１１、第３薄膜絶縁層１２ｃを順次積層し、最上層には半導体素子１４を搭載接続するためのタイバッド１３ａ、ボンディングパッド１３ｂを形成し、所望の導体層間をウエハ中央部１６で接続することをより薄膜多層配線部１０が形成されている。前記半導体素子１４は、導電性樹脂（図示せず）等で前記タイバッド１３ａに搭載され、ボンディングパッド１５とボンディングパッド１３ｂに接続されている。なお前記薄膜多層配線部の層数は上記に限られるものではないことをいふまでもない。

【0020】上記構成のMCMの各構成部分に次のようにして製造し得る。まずベース基板1はアルミナ（Al₂O₃）や窒化アルミ（AlN）を主材料とするグラシンシートを標する未焼成シートを所定の寸法に切断する。次に電子ボール用開口部やその他開口部をハンパシタ（開口部）、電子ボールにはタンクスランパースト等を充填する。次に導体パターンをタンクスランパースト等をスクリーン印刷することにより形成する。この様に加工されたグラシンシートを所要の焼成積層し、同時に焼成することにより一体化された多層のベース基板が得られる。

[illegible][illegible]

【0023】図3(c)は接地層を示しており、図1のシート21cにはヴァイアホール23cが穿孔されており、タングステンペーストが充填されている。更に、通孔の接地層26がヴァイアホール23cの側面を被覆して、同じくタングステンペーストが印刷で形成されている。

【0024】図3(d)は最下層の電源層を示したもので、クリアンシート21dに面積の導体層27がタンデムパターン形成の印刷で形成されている。上記の4枚のクリアンシートを図の順番で積層・加熱し、1500~1600℃の還元雰囲気中で焼成することにより図1に断面図として示す様なベース基板が完成する。これ、図41におけるベース基板1に相当する。なおチップキャリアパターンの接続される端子パッド24にはろう付けのためはN+イオン注入を施しておく。

【００２５】次に図部１に搭載するセラミックハシタ５は、容量として１０００ｐＦ～１０、０００ｐＦ程度が必要で、個別の小型チップキャパシタとしては、チタン酸バリウム等の誘電体とする積層型セラミックチップキャパシタが好適である。本実施例では、１．０×０．５×０．５ｍｍのサイズのものを使用した。セラミックチップキャパシタのペース基板への取付方法は、後述する薄膜多層配線部形成時の処理温度に耐えられるものでなくともならない。例えは絶縁層１２にポリイミドを用いた場合には、ポリイミドが１００℃に達するまで銀ろう付、 solder 等が好適である。通常セラミックチップキャパシタの外観電極はＡｇ／Ｐｔ／Ａｕが塗布され焼成されているが、更に銀ろう等を付着しておき、ペース基板の凹部に配置し銀ろう等を付着させることにより接続しうる。絶縁層１２がエポキシ系の場合には２００℃以下の低温でエポキシ化するためハシタによる接続も可能となる。

【0026】またチップキヤハシタを同部1に搭載した直後には、ベース基板1の表面とチップキヤハシタの表面には段差があるため、このままでは次の薄膜工種を行うことができない。そこで同部1の空腔部を図3に断面的に示すように、充填樹脂3-1により埋め込み、ベース基板1の表面を平坦化する必要がある。充填樹脂3-1としては薄膜多層配線部10の絶縁層12aを同一のもの、例えばポリイミドであってもよく、異なる樹脂を用いてもよい。吸湿性を有するポリイミドに代えて吸湿性が少ない樹脂を用いるのは、充填樹脂が1を形成した段階で長期保存が可能となる。

【0027】次に薄膜多結晶型部形成方法について説明する。図1に示すように、基板の上面に、酸化シリコン膜を形成された電極および絶縁層、およびタングステン膜形成されている。このタングステン膜は、酸化シリコン膜を剥離することによって精度が十分な薄膜電極部を接続する電極には電極パターンの形成に必要である。次に、電極の上面に基板の上面を電極部形成の絶縁層を施す。絶縁層の上面に電極部を充填する。上面を平坦化して電極部を形成する。

7

【0028】次に蒸着やスパッタによりバリメタル／Cu／バリメタルの第1導体層をベース基板全面に形成する。フォトリソレジストをスピンコート、露光、現像し、所定の必要パターン以外の部分をエッチング除去することにより電極パッド12aを形成する。なおバリメタルはCuとポリイミドの接着力向上と、Cuがポリイミド前駆体であるレジスに侵されることを防止するため使用されるもので、CrやTiが使用される。

【0029】次に感光性ポリイミドをスピンコート等により塗布し、基板全面に平坦なポリイミド層を形成する。その後露光現像することにより図4aの開口部16用の開口部を開け、エッチングすることにより第1絶縁層12aを形成する。

【0030】その後同様な工程を繰り返すことにより、第2導体層11b、第2絶縁層12b、第3導体層11c、第3絶縁層12c、ワイアホール16が形成される。最上層にはダイパッド13a、ボンディングパッド13b等の半導体素子取付用の電極を形成する。半導体素子14は図示しない導電性ペースト等で前記ダイパッド13aに搭載され、ボンディングワイヤ15を介してボンディングパッド13bに接続される。半導体素子の取付はTAB (Tape Automated Bonding) 方式であってもよい。あるいは、よい。また、よい。

【0031】また上記実施例では、図1に充填樹脂31による充填を、電極パッド12aの形成前に予め行っているが、第1絶縁層12aの形成と同時に進行してもよい。即ち電極パッド12aを形成後、充填樹脂31を同図1に充填・硬化させ、その上に第1絶縁層12aを形成して平坦化処理を行ってもよい。また、電極パッド12aの形成時には、凹部14をマスクにする等が考慮が必要である。

【0032】またベース基板1の層構成は図4bに示す様に、チップキャパシタ取付用の端子パッド6a、6bを接地層2aと同一面に設け、層を1層減すことができる。引出し配線2cを接地層2aに同居させるため、接地層の設計上若干の制約は加わるが、ベース基板の低価格化に効果がある。

【0033】以上説明した様に本実施例では、チップキャパシタ5をベース基板1に内蔵して、接地層2aと電源層2bは、直接結合していない。配線のインダクタンスが減少し、同時にスイッチングノイズが低減し、極めて大きな効果がある。

【0034】次に、本発明の第2の実施例を説明する。図5は第2の実施例、即ちMCM-Dの断面図である。本実施例のベース基板1には接地層と電源層が内蔵されており、誘電多層配線部51はベース基板1上に形成された外部配線部52と結合する。接地層は図5aに示す1層で、チップキャパシタ5を結合する。即ち、1層が設けられている。図11、図12、図13、図14、図15は本発明の第2の実施例の断面図である。

8

53bと電源層53cと接続される構成となっており、チップキャパシタ15は絶縁性の接着剤16、例えばポリイミド樹脂で凹部14の底面に接着される。さらに凹部14の空凹部をポリイミド等の充填樹脂17で充填した後、前記チップキャパシタ45の端子電極18a、18bとの接続用の穿孔をフォトリソング等により行う。その後第1の実施例と同様に誘電多層配線部の形成を行う。

【0035】即ちベース基板11の表面に前処理を施し、蒸着やスパッタにてCuを主体とした第1導体層を形成し、パターンニングすることにより電極パッド53a、外部接続端子52、端子電極48と接続ワイヤ62を介して接続する引き出し線53a'等を形成する。次にポリイミドの第1絶縁層51aをスピンコート等により塗布し、引き出し線53a'への接続ワイヤ55、56、その他のワイヤホール57のための開口をフォトリソング等により形成する。

【0036】さらに第2導体層（接地層）53bを上記と同様な方法で形成・パターンニングし、同時に接続ワイヤ55、56、その他のワイヤホール57を形成する。これにより、第2導体層53bとチップキャパシタ15の第1の端子電極18aとの接続が接続ワイヤ55を介して形成される。

【0037】さらにポリイミドの第2絶縁層51bを形成し、接続ワイヤ56に連接する接続ワイヤ56'とその他のワイヤホール57のための開口を形成する。その上に第3導体層（電源層）53cを形成し、同時に接続ワイヤ56'を形成することによりチップキャパシタ15の第2の端子電極18bと第3導体層53cとの接続が形成される。

【0038】以下第3絶縁層54c、第4導体層（信号層）53d、第4絶縁層54d、第5導体層（信号層）53e、第5絶縁層54eを同様な方法で順次積層し、最上層にダイパッド58、ボンディングパッド59等を形成する。ダイパッド58には半導体素子60が搭載され、ボンディングワイヤ61を介してボンディングパッド59に接続されている。

【0039】このような構成をとると、チップキャパシタ15は接地層53bと電源層53cに直接接続されるので、配線のインダクタンスが減少し同時にスイッチングノイズの低減が可能になる。更にベース基板1には前導層、接地層を内蔵していないので、パターンの精度を損ねない。また、ベース基板1を薄型化することが可能になり、本発明のMCM-DではMCM-D全体が薄型化できる。また接地層53b、電源層53c、信号層53d、53eの配設順序は上記実施例に限られず、適宜入れ換えてもよい。

【0040】以上本発明の実施例を説明したが、本発明は上記実施例に限定されるのではなく、種々の変形が可能である。また、電源層53cはベース基板1に内蔵し、接地層

を薄膜多層配線部に内蔵して、チップキャパシタをこの電源層、接地層に接続するようにしてもよい。要は、ベース基板の内部に収納されたチップキャパシタを直近に配置された接地層、電源層に接続すればよいのである。またベース基板はセラミックスに代えてガラス、ポリイミド等の樹脂基板を用いてもよい。

【0011】

【発明の効果】チップキャパシタをベース基板に埋め込み、その上に薄膜多層配線部を形成し、このチップキャパシタをベース基板もしくは薄膜多層配線部に設けられた電源層と接地層の間に接続しているため、電源層および接地層からチップキャパシタまでの配線長を短くすることができ、従って配線インダクタンスを低減できるため、同時スイッチングノイズを効果的に減減することが可能となる。

【0012】また半導体素子等の搭載位置の直下にも、チップキャパシタを配置できるため、MCM基板のサイズを減少することが可能となる。またチップキャパシタをベース基板に内蔵する形になるので、MCMとしての効果を減減することができる。チップキャパシタとして個別に製作された結晶型セラミックチップキャパシタを使用することで、小型で十分な容量が得られるのが特徴である。

【0013】ポリイミドを絶縁層、Cuを導体層とした薄膜多層配線部を使用すれば、配線容量が小さくなるので、同時スイッチングノイズの影響をさらに低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わる半導体装置の一部断面図。

【図2】本発明の第1の実施例に係わる半導体装置の平面図。

【図3】本発明の第1の実施例に係わるベース基板の積

層前の構成を示す断面図。

【図4】本発明の第1の実施例に係わるベース基板の積層後の状態を示す断面図。

【図5】本発明の第1の実施例に係わるベース基板にチップキャパシタを取り付け、充填樹脂で充填した状態を示す断面図。

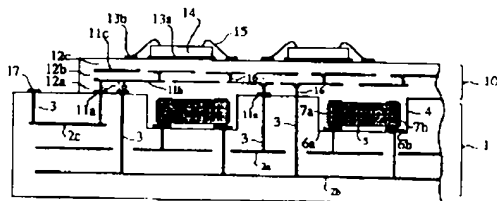
【図6】本発明の第1の実施例に係わるベース基板の変形例を示す断面図。

【図7】本発明の第2の実施例に係わる半導体装置の一部断面図。

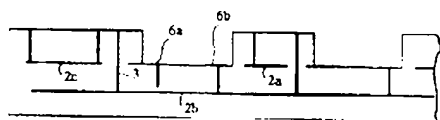
【符号の説明】

- 1 …… ベース基板
- 2 a …… 接地層
- 2 b …… 電源層
- 2 c …… 引出配線
- 3 …… ウィアボンド
- 4 …… 凹部（キャパシタ）
- 5 …… チップキャパシタ
- 6 a、6 b …… 端子パッド
- 7 a、7 b …… 端子電極
- 10 …… 薄膜多層配線部
- 11 a …… 電極パッド（第1導体層）
- 11 b …… 第1導体層
- 11 c …… 第2導体層
- 12 a …… 第1絶縁層
- 12 b …… 第2絶縁層
- 12 c …… 第3絶縁層
- 13 a …… タンパッド
- 13 b …… 凸型パッド（タングラム）
- 14 …… 半導体素子
- 15 …… ポリイミドタングラム
- 16 …… ウィアボンド
- 17 …… 外部接続端子

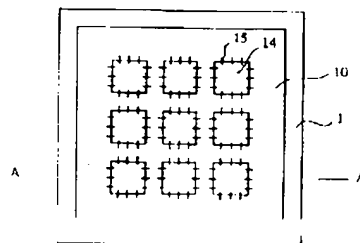
【図1】



【図3】



【図2】



【24】

